

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-097197**

(43)Date of publication of application : **23.04.1991**

(51)Int.Cl.

G11C 14/00

H01L 27/105

(21)Application number : **01-233991**

(71)Applicant : **KAWASAKI STEEL CORP**

(22)Date of filing : **08.09.1989**

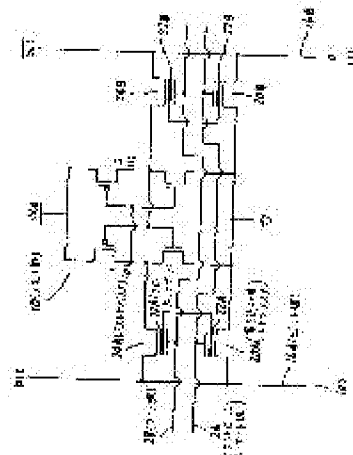
(72)Inventor : **YONEDA MASATO**

(54) MEMORY CELL

(57)Abstract:

PURPOSE: To eliminate the need for rewriting a memory cell data at reapplication of power by writing a latched data to a static RAM at application of power to the memory cell so as to store the data even when the power is interrupted.

CONSTITUTION: The cell is provided with write transistors (TRs) 20A, 20B and bus TRs 24A, 24B storing a data stored in a memory section 10 at interruption of power of the memory section 10. Moreover, a control gate line 26 for applying an operating voltage to store the data to be stored into the write transistors (TRs) 20A, 20B and a word line 28 delivering a signal to activate the bus TRs 24A, 24B when the data stored in the memory section 10 is read to the bit lines 16A, 16B are provided. Thus, even when power is interrupted, since the data stored in an SRAM is backed up, it is not required to rewrite the data into the memory cell at reapplication of the power.



⑫ 公開特許公報(A) 平3-97197

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月23日

G 11 C 14/00
H 01 L 27/1058522-5B G 11 C 11/40 1 0 1
8831-5F H 01 L 27/10 4 4 1

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 メモリセル

⑯ 特 願 平1-233991

⑰ 出 願 平1(1989)9月8日

⑱ 発 明 者 米 田 正 人 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 高 矢 論 外2名

明 細 書

1. 発明の名称

メモリセル

2. 特許請求の範囲

(1) スタティツクRAMと、

当該スタティツクRAMで記憶されるデータをメモリセルへの電源が遮断されているときに保持するためのデータ保持手段と、

保持されたデータを、メモリセルに電源が投入されたときに前記スタティツクRAMに書込むための手段とを備えたことを特徴とするメモリセル。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、例えばコンフィグレーションデータを記憶するためのメモリとしてスタティツクRAM(SRAM)を有するメモリセルに関する。

【従来の技術】

コンフィグレーションデータを記憶するスタティツクRAMのメモリセルには、第2図に示すものがある。このSRAMは、ダイナミツクRAM

(DRAM)と異なり、電源V_{dd}が印加されている限り、記憶したデータを保持し続けるものである。なお、図において符号10は、例えば相補型の金属酸化物半導体(CMOS)からなるトランジスタのメモリ部、12は行毎に選択されてメモリ部10をビット線16A、16Bにつなぐためのバストランジスタ、14は当該バストランジスタ12や行選択信号を伝達するためのワード線、16A、16Bは前記メモリ部10へデータ(0/1)を書込む際に、当該データを伝達するためのビット線である。

前記の如きメモリセルにおいては、電源投入の後に、メモリ部10にデータを書き込み、その書込まれたデータ(0/1)によつて、例えば第2図中に示すnチャンネルMOSTランジスタからなるスイッチ18をオン/オフして、符号A点とB点の導通状態を決定する。

【発明が達成しようとする課題】

しかしながら、前記従来のSRAMからなるメモリセルにおいては、電源がオフされた場合、そ

れに記憶しているデータが消えてしまい、再び電源を投入するときに、当該データを再書き込みすることが必要で、繁雑であるという問題点があった。

本発明は、前記従来の問題点を解消すべくなされたもので、メモリセルへの電源が遮断されてもデータを保持可能であり、電源を再投入するときにメモリセルへデータを再書き込みをする必要がないメモリセルを提供することを課題とする。

【課題を達成するための手段】

本発明は、メモリセルにおいて、スタティクRAMと、当該スタティクRAMで記憶されるデータを、メモリセルへの電源が遮断されているときに保持するためのデータ保持手段と、保持されたデータを、メモリセルに電源が投入されたときに前記スタティクRAMに書き込むための手段とを備えることにより、前記課題を達成したものである。

【作用】

一般に、スタティクRAM(SRAM)からなるメモリセルでは、メモリに投入されていた電

源が遮断されれば、その記憶しているデータが消失してしまう。

そこで、発明者は、メモリセルにスタティクRAMの他に、電源遮断時にもデータを記憶可能なデータ保持手段、例えば不揮発性メモリ(EPROM)素子を用いることとし、電源を投入したときには、当該データ保持手段で保持されたデータを前記SRAMに書き込むことを着想したものである。

従つて、電源が遮断されたときにも、SRAMで記憶されるデータをバックアップして保持するため、電源を再び投入したときにデータをメモリセルに再書き込みする必要がない。このため、再書き込みによる煩雑さがなく、又、SRAMを有するメモリセルをROM的に使い得る。

【実施例】

以下、図面を参照して本発明の実施例を説明する。

この実施例は、第1図に示すような、メモリ部10に記憶すべきデータを後記バストランジスタ

24A、24Bに書き込むための、例えばフローティングゲート型トランジスタからなる書き込み用トランジスタ20A、20Bと、該書き込み用トランジスタ20A、20Bとフローティングゲート22A、22Bが共通し、メモリ部10に記憶するデータを、メモリ部10への電源遮断時に保持するためのバストランジスタ24A、24Bと、前記記憶すべきデータを書き込み用トランジスタ20A、20Bに記憶させる際に、該トランジスタ20A、20Bに作動電圧を印加するためのコントロールゲート線26と、メモリ部10に記憶されたデータをビット線16A、16Bへ読み出す際にバストランジスタ24A、24Bを作動させる信号を伝達するためのワード線28とを有するメモリセルである。

前記書き込み用トランジスタ20A、20B、及びバストランジスタ24A、24BにはEPROM(消去、書き込み可能ROM)を用いることができる。

なお、その他の構成は前出第2図のメモリセル

と同様であるため、同様の部分に同一の番号を付してその説明は略す。

次に、実施例のメモリセルで、第1図のようにビット線16A、16Bの側(bit側、 $\overline{\text{bit}}$ 側)に(1、0)を記憶する場合について説明する。

まず、データをバストランジスタ24A、24Bに書き込む。この際には、例えば、ビット線16Aに8Vを印加し、他のビット線16Bに0Vを印加し、更にコントロールゲート線26に12Vを印加する。これにより、書き込み用トランジスタ20Aのフローティングゲート22Aに電荷が蓄積されて、バストランジスタ24A、24Bにデータが記憶、保持される。なお、上記書き込みを行っている際には、ワード線28は0(零)電位(接地電位)とする。又、バストランジスタ24Aは、フローティングゲート22Aに電荷が蓄積されたため、その作動可能なゲート電圧が例えば5.2V以上となり、他方のバストランジスタ24Bはフローティングゲート22Bに電荷を有しないため、その作動可能ゲート電圧は例えば2.

5 V以上となる。

メモリ部10に電源V_{dd}が印加された状態において、各ビット線16A、16Bを0電位とし、ワード線28に例えば5Vの電圧を印加する。これにより、メモリ部10には、第1図のように左側のCMOSに1が、右側のCMOSに0が記憶される。このメモリ部10は電源V_{dd}が印加されている限り、記憶したデータを何度読み出してもそのデータを記憶し続ける。

ここで、前記メモリ部10への電源V_{dd}が遮断されたとする。この場合、メモリ部10はその記憶しているデータを消失させてしまう。このような状態で、電源が再投入された場合、そのままでは、メモリ10部にはデータが存在しない。

そこで、各ビット線16A、16B共に0電位を印加する共に、ワード線28に例えば5Vの電圧を印加して、バストランジスタ24A、24Bに保持されたデータを、メモリ部10に書込む。即ち、各バストランジスタ24A、24Bは、その作動するゲート電圧が例えば5.2V以上、2.

5V以上と、それぞれ異なるため、例えば5Vを印加すればbit側のバストランジスタ24Aは作動せず、 $\overline{\text{bit}}$ 側のバストランジスタ24Bが作動して、メモリ部10はbit側が1、 $\overline{\text{bit}}$ 側が0のデータを記憶することになる。

ビット線16A、16Bに前記のように0電位を印加すれば、元のデータ(例えば1/0)がメモリ部10に再現されるが、各ビット線16A、16Bに所定のメモリ作動電圧(1)を印加すれば、元のデータと反転したデータ(例えば0/1)がメモリ部10に記憶される。

なお、前記実施例においては、SRAMの例としてCMOSからなるメモリ部を例示したが、本発明が適用されるメモリセルはこのようなメモリを有するものに限定されず、SRAMに他の種類のメモリ素子を用いたメモリセルにも本発明を適用することができる。

【発明の効果】

以上説明した通り、本発明によれば、メモリセルへの電源が遮断されても、記憶したデータを保

持し続け、電源再投入時にデータの再書き込みをする必要がないため、煩雑さがなく、取扱いが簡易であるという優れた効果が得られる。

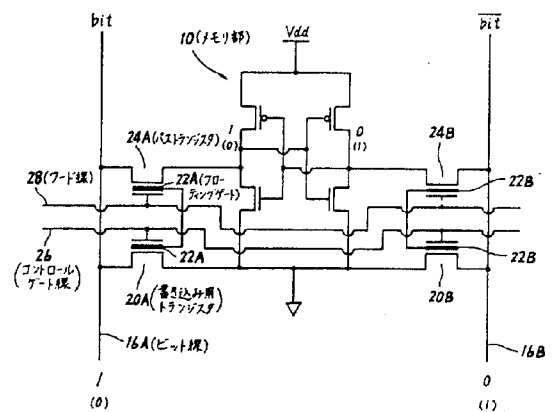
4. 図面の簡単な説明

第1図は、本発明の実施例に係るメモリセルの構成を示す回路図、

第2図は、従来のメモリセルの構成例を示す回路図である。

- 10…メモリ部、
- 16A、16B…ビット線、
- 20A、20B…書き込み用トランジスタ、
- 22A、22B…フローティングゲート、
- 24A、24B…バストランジスタ、
- 26…コントロールゲート線、
- 28…ワード線。

第1図



代理人 高 矢 論
松 山 圭 佑
牧 野 剛 博

第 2 図

